

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183355

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 29/786

H01L 29/78

H01L 21/336

(21)Application number : 10-360224

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.12.1998

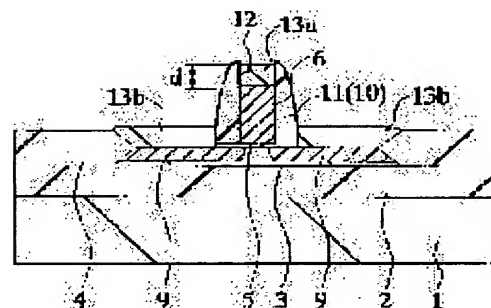
(72)Inventor : WAKAHARA YOSHIFUMI
TAMAOKI YOICHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for speeding up a semiconductor integrated circuit device which has a MISFET formed on an SOI substrate and improving reliability.

SOLUTION: A groove, which is surrounded by a side wall spacer 11 and whose depth (d) is about 90-100 nm is formed on a polycrystalline silicon film 6, constituting the gate electrode of a MISFET. Silicons 13a and 13b with a thickness of about 100 nm are stacked on the surface of the exposed thin-film silicon layer 3. Thereafter, a titanium silicide layer is formed on the surfaces of the silicons 13a and 13b through self-matching.



LEGAL STATUS

[Date of request for examination]

28.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the manufacture approach of the semiconductor integrated circuit equipment which forms MISFET on the SOI substrate with which it embedded on the support substrate and the thin film silicon layer was prepared through the insulator layer. (a) The process which forms gate dielectric film in the front face of said thin film silicon layer, and, subsequently to said SOI substrate top, carries out the sequential deposition of the polycrystalline silicon film and the 1st insulator layer after forming a field insulator layer on the principal plane of the . aforementioned thin film silicon layer, (b) Sequential processing of the 1st insulator layer of . above and said polycrystalline silicon film is carried out. The process which forms the cap insulator layer which becomes some gate electrodes which consist of said polycrystalline silicon film, and a part of upper layers of said gate electrode from said 1st insulator layer, (c) After depositing the 2nd insulator layer on a . aforementioned SOI substrate, said 2nd insulator layer is processed by anisotropic etching. The sidewall spacer which becomes a cap insulator layer and said some of said gate electrode of side attachment walls from said 2nd insulator layer is formed. Then, the process at which the front face of said thin film silicon layer in which the semiconductor region which constitutes the source and a drain is formed is exposed, (d) with the process at which the front face of the polycrystalline silicon film which removes the . aforementioned cap insulator layer alternatively, and constitutes said some of gate electrodes is exposed, and (e). selection silicon growth Deposit silicon on the upper layer of the polycrystalline silicon film which constitutes said some of gate electrodes, and said some of other gate electrodes

are constituted. The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which deposits silicon on the upper layer of the thin film silicon layer by which the semiconductor region which constitutes said source and a drain is formed in coincidence.

[Claim 2] It is the manufacture approach of the semiconductor integrated circuit equipment which forms MISFET on the bulk substrate which consists of single crystal silicon. (a) The process which forms gate dielectric film in the front face of said bulk substrate, and, subsequently to said bulk substrate top, carries out the sequential deposition of the polycrystalline silicon film and the 1st insulator layer after forming a field insulator layer on the principal plane of the . aforementioned bulk substrate, (b) Sequential processing of the 1st insulator layer of . above and said polycrystalline silicon film is carried out. The process which forms the cap insulator layer which becomes some gate electrodes which consist of said polycrystalline silicon film, and a part of upper layers of said gate electrode from said 1st insulator layer, (c) After depositing the 2nd insulator layer on the . aforementioned bulk substrate, said 2nd insulator layer is processed by anisotropic etching. The process at which the front face of said bulk substrate in which the semiconductor region which forms the sidewall spacer which consists of said 2nd insulator layer and constitutes the source and a drain on a cap insulator layer and said some of said gate electrode of side attachment walls continuously is formed is exposed, (d) with the process at which the front face of the polycrystalline silicon film which removes the . aforementioned cap insulator layer alternatively, and constitutes said some of gate electrodes is exposed, and (e). selection silicon growth Deposit silicon on the upper layer of the polycrystalline silicon film which constitutes said some of gate electrodes, and said some of other gate electrodes are constituted. The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which deposits silicon on the upper layer of the bulk substrate with which the semiconductor region which constitutes said source and a drain is formed in coincidence.

[Claim 3] The manufacture approach of the semiconductor integrated circuit equipment characterized by forming a silicide layer in the front face of said silicon in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 4] It is the manufacture approach of the semiconductor integrated circuit equipment which that of the thickness of said 1st insulator layer is the same as that of the thickness of said silicon in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2, or is characterized by being thicker than

the thickness of said silicon.

[Claim 5] Said the 1st insulator layer and said 2nd insulator layer are the manufacture approach of the semiconductor integrated circuit equipment characterized by acquiring [in / on the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2, and / wet etching or dry etching] selectivity.

[Claim 6] It is the manufacture approach of the semiconductor integrated circuit equipment which said 1st insulator layer is a silicon nitride film, and is characterized by said 2nd insulator layer being silicon oxide film in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 7] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by the amount of over etching being 10% or less in case said 2nd insulator layer is processed by anisotropic etching in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the semiconductor integrated circuit equipment which has the perfect depletion mold MISFET (Metal Insulator Semiconductor Field Effect Transistor) formed on a SOI (Silicon OnInsulator) substrate about the manufacturing technology of semiconductor integrated circuit equipment, and relates to an effective technique.

[0002]

[Description of the Prior Art] By forming a field insulator layer in the front face of a thin film silicon layer thickly, the perfect depletion mold MISFET is having structure which surrounded MISFET by the insulator layer completely, can reduce subthreshold level swing jazz (Subthreshold Swing), and can control the substrate suspension effectiveness further.

[0003] However, the semiconductor region which constitutes the source of MISFET and a drain is shallowly formed as the above-mentioned thin film silicon layer becomes thin. For this reason, although it will be necessary to stop low the high impurity concentration of the above-mentioned semiconductor region, and to control diffusion of an impurity, resistance of a semiconductor region becomes high and causes the fall of the working speed of MISFET in this and coincidence.

[0004] Then, it considered as the approach of making low resistance of the semiconductor region which constitutes the shallow source and a drain, and the approach of silicide-izing the front face of a semiconductor region by self align was examined. However, since the thin film silicon layer was thin, the embedding insulator layer from which the formed silicide layer constitutes a SOI substrate was contacted, and possibility that a silicide layer would separate arose.

[0005] The formation approach of the perfect depletion mold MISFET of having solved the above-mentioned problem is indicated by for example, IEEE electron device Letters (IEEE Electron Device Letters.Vol.18, No.6, PP.251-253, and 1997). That is, first, a field insulator layer is formed in a dozens of nm thin film silicon layer, and after carrying out sequential formation of the gate electrode subsequently constituted with the gate dielectric film of MISFET, and the polycrystalline silicon film, and the sidewall spacer constituted with the silicon oxide film, dozens of nm growth (selection silicon growth) of the silicon is alternatively carried out to the upper layer of a thin film silicon layer in which the semiconductor region which constitutes the source and a drain is formed. Then, the semiconductor region which introduces an impurity into the thin film silicon layer which became thick, and constitutes the source and a drain with the above-mentioned selection silicon growth is formed.

[0006] This enables it to reduce resistance of the semiconductor region which constitutes the source and a drain by silicide-izing or high concentration-ization, while subthreshold level swing jazz can be reduced by perfect depletion-ization since the thin film silicon layer in which the semiconductor region which constitutes the source of MISFET and a drain is formed becomes thick with selection silicon growth although the thin film silicon layer of the lower part of the gate electrode of MISFET is as thin as dozens of nm.

[0007]

[Problem(s) to be Solved by the Invention] However, this invention person found out that there were the following problems in said perfect depletion type MISFET of the formation approach.

[0008] That is, since silicon accumulates on the upper layer of a thin film silicon layer in which the semiconductor region which constitutes the source and a drain from selection silicon growth is formed, in case a sidewall spacer is formed in the side attachment wall of the gate electrode of MISFET, it is necessary to carry out sequential etching of the source of MISFET, the silicon oxide film of the upper layer of a thin film silicon layer and gate dielectric film with which the semiconductor region which constitutes a drain is formed, and the insulator layer of the same layer, and to expose

the front face of a thin film silicon layer. Since a sidewall spacer is constituted, the above-mentioned silicon oxide film is an insulator layer deposited on the upper layer of a gate electrode.

[0009] Therefore, in order to expose the thin film silicon layer in which the semiconductor region which constitutes the source of MISFET and a drain is formed, it is necessary to make [more] the amount of etching than the thickness of the above-mentioned silicon oxide film. For this reason, the front face of the polycrystalline silicon film which constitutes a gate electrode is exposed, and the side-face upper part of the polycrystalline silicon film which constitutes a gate electrode is also exposed further.

[0010] If selection silicon growth is performed after the side-face upper part of the polycrystalline silicon film which constitutes a gate electrode has been exposed, the silicon deposited on the upper layer of a gate electrode will serve as an overhang. In case the contact hole which connects a wiring layer and the semiconductor region which constitutes the source and a drain at a subsequent process is established in an interlayer insulation film, a contact hole may contact the silicon of an overhang. If a contact hole contacts silicon, by the wiring layer, a gate electrode and the semiconductor region which constitutes the source and a drain will short-circuit, and the fall of the reliability of MISFET will be produced. For this reason, spacing of a gate electrode and a contact hole cannot form detailed MISFET which is about 0.1 micrometers.

[0011] The purpose of this invention attains improvement in the speed of semiconductor integrated circuit equipment which has MISFET formed in a SOI substrate, and is to offer the technique which can improve reliability to coincidence.

[0012] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] Namely, the manufacture approach of the semiconductor integrated circuit equipment of this invention When MISFET is formed on the SOI substrate with which it embedded on the support substrate and the thin film silicon layer was prepared through the insulator layer, The process which forms gate dielectric film in the front face of a thin film silicon layer, and, subsequently to said SOI substrate top, carries out the sequential deposition of the polycrystalline silicon film and the silicon nitride film after forming a field insulator layer on the principal plane of a thin film silicon layer,

Some gate electrodes which carry out sequential processing of the above-mentioned silicon nitride film and the above-mentioned polycrystalline silicon film, and consist of polycrystalline silicon film. The process which forms the cap insulator layer which becomes a part of upper layers of this gate electrode from a silicon nitride film, After depositing the silicon oxide film on a SOI substrate, this silicon oxide film is processed by anisotropic etching. The process at which the front face of a thin film silicon layer in which a part of semiconductor region which forms the sidewall spacer which consists of silicon oxide film and constitutes the source and a drain on a cap insulator layer and some side attachment walls of a gate electrode continuously is formed is exposed, The process which forms the slot surrounded with the silicon oxide film which removes a cap insulator layer alternatively, is made to expose the front face of the polycrystalline silicon film which constitutes some gate electrodes, and constitutes a sidewall spacer on this polycrystalline silicon film, With selection silicon growth, deposit silicon on the interior of the slot of the upper layer of the polycrystalline silicon film which constitutes some gate electrodes, and some other gate electrodes are constituted. It has the process which deposits the silicon with which a part of other semiconductor regions which constitute the source and a drain are formed in the upper layer of the thin film silicon layer by which a part of semiconductor region which constitutes the source and a drain is formed in coincidence, and the process which forms a silicide layer in the front face of silicon.

[0015] Even if it deposits the silicon which constitutes some other gate electrodes on the upper layer of the polycrystalline silicon film which constitutes some gate electrodes with selection silicon growth according to the above-mentioned means Since the above-mentioned silicon accumulates on the interior of the slot surrounded by the sidewall spacer and cannot serve as an overhang easily The semiconductor region which can prevent contact to the contact hole and silicon which arrive at the semiconductor region which constitutes the source and a drain, and constitutes a gate electrode, the source, and a drain does not short-circuit. Furthermore, spacing of a gate electrode and a contact hole can be narrowed with about 0.1 micrometers, and detailed-ization of MISFET is attained.

[0016] Moreover, since a silicide layer embeds and it is hard coming to contact an insulator layer by forming the source and the silicon which constitutes a part of other semiconductor regions which constitute a drain in the upper layer of a thin film silicon layer in which a part of semiconductor region which constitutes the source and a drain is formed, and forming a silicide layer in it on the surface of silicon further, peeling of a silicide layer can be prevented.

[0017] Moreover, by forming a silicide layer in the front face of silicon in which a part of other semiconductor regions which constitute the front face of the silicon which constitutes some other gate electrodes and the source, and a drain are formed, respectively, the electric resistance of the semiconductor region which constitutes a gate electrode and the source, and a drain can be reduced, and improvement in the speed of circuit actuation can be attained.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0019] The manufacture approach of n channel MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is explained using drawing 1 - drawing 11 . In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0020] First, as shown in drawing 1 , the LOCOS (Local Oxidation of Silicon) oxide film 4 for isolation is formed in the front face of the SOI substrate constituted by the support substrate 1, the embedding oxide film 2, and the thin film silicon layer 3 of p mold by the well-known approach. In addition, the thickness of about 80nm and the thin film silicon layer 3 of the thickness of the embedding oxide film 2 is about 50nm.

[0021] Subsequently, although illustration is not carried out, the impurity for the threshold voltage adjustment of MISFET, for example, boron, (B) is injected into the thin film silicon layer 3 by the ion implantation method. Boron ion is driven in about $[2 \times 10^{12} \text{cm}^{-2}]$ two with the acceleration energy of 10KeV(s).

[0022] next, the SOI substrate top as shown in drawing 2 , after forming in the front face of the thin film silicon layer 3 the gate dielectric film 5 constituted with the silicon oxide film by the thickness of about 8nm -- Lynn -- the polycrystalline silicon film 6 and silicon nitride film 7 which added (P) about $[1 \times 10^{20} \text{cm}^{-3}]$ three -- chemical vapor growth (Chemical Vapor Deposition:CVD) -- sequential deposition is carried out by law. In addition, although the thickness of about 200nm and a silicon nitride film 7 of the thickness of the polycrystalline silicon film 6 is about 100nm, the thickness of a silicon nitride film 7 is the same as the thickness of the silicon deposited with selection silicon growth at a next process, or is set as the thickness exceeding it.

[0023] Next, as shown in drawing 3 , the photoresist film 8 is used as a mask, sequential etching of a silicon nitride film 7 and the polycrystalline silicon film 6 is carried out, and some gate electrodes constituted with the cap insulator layer and the polycrystalline silicon film 6 which are constituted with a silicon nitride film 7 are formed.

[0024] Next, as shown in drawing 4 , the cap insulator layer constituted with the above-mentioned silicon nitride film 7 is used as a mask, n mold impurity, for example, phosphorus ion, is injected into the thin film silicon layer 3 by the ion implantation method, and the source and low-concentration n-mold semiconductor region (the source, drain) 9 which constitutes a part of drain are formed. Phosphorus ion is driven in about $[4 \times 10^{13} \text{cm}^{-2}]$ two with the acceleration energy of 20KeV(s).

[0025] Subsequently, as shown in drawing 5 , the silicon oxide film 10 with a thickness of about 200nm is deposited with a CVD method on a SOI substrate.

[0026] next, it is shown in drawing 6 -- as -- the insulator layer of the same layer as the silicon oxide film 10 and gate dielectric film 5 -- RIE (Reactive Ion Etching) -- the sidewall spacer 11 which processes it by etching by the anisotropy using law, and becomes the side attachment wall of a silicon nitride film 7 and the polycrystalline silicon film 6 from the silicon oxide film 10 -- forming -- coincidence -- n- The front face of the thin film silicon layer 3 in which the mold semiconductor region (the source, drain) 9 was formed is exposed.

[0027] Under the present circumstances, although a silicon nitride film 7 can hardly be deleted from the difference from the etch rate of a silicon nitride film 7 and the silicon oxide film 10, if there are many amounts of over etching of the silicon oxide film 10, the side-face upper part of a silicon nitride film 7 will be exposed, and the silicon which is a next process and is deposited on the upper layer of the polycrystalline silicon film 6 will serve as an overhang. In order to prevent this, the amount of over etching of the silicon oxide film 10 is stopped to 10% or less.

[0028] Next, as shown in drawing 7 , the wet etching using a heat phosphoric acid removes a silicon nitride film 7 alternatively, and the slot 12 surrounded by the sidewall spacer 11 constituted with the silicon oxide film 10 on the polycrystalline silicon film 6 is formed.

[0029] Subsequently, as shown in drawing 8 , with selection silicon growth, silicon 13a which constitutes some other gate electrodes on the front face of the exposed polycrystalline silicon film 6 is deposited, and silicon 13b is deposited on the front face of the thin film silicon layer 3 exposed to coincidence. In addition, the thickness of Silicon 13a and 13b is about 100nm. Since the amount of over etching of the silicon oxide film 10 is stopped to 10% or less as mentioned above, even if depth d of the above-mentioned slot 12 is set to about 90-100nm and it deposits silicon 13a with a thickness of about 100nm on the front face of the polycrystalline silicon film 6, in silicon 13a, an overhang does not become.

[0030] Next, high-concentration n+ which injects n mold impurity, for example, arsenic

(As) ion, into silicon 13b and the thin film silicon layer 3 by the ion implantation method, and constitutes a part of sources and other drains as shown in drawing 9 The mold semiconductor region (the source, drain) 14 is formed. Arsenic ion is driven in about $[2 \times 10^{15} \text{cm}^{-2}]$ two with the acceleration energy of 10KeV(s). By this, it is n+ to the thin film silicon layer 3. A part of mold semiconductor region (the source, drain) 14 is formed, and it is n+ to silicon 13b. A part of other mold semiconductor regions (the source, drain) 14 are formed. Then, heat treatment for about 1 minute is performed to a SOI substrate at the temperature of 900 degrees C, and the above-mentioned n mold impurity is activated.

[0031] As shown in drawing 10 , after depositing about 40nm of titanium (Ti) film on a SOI substrate, heat treatment for about 1 minute is performed to a SOI substrate at the temperature of 850 degrees C. Subsequently the unreacted titanium film next, by removal ***** The front face of silicon 13a which constitutes some other gate electrodes of MISFET, And n+ of MISFET The titanium silicide (TiSi_2) layer 15 with a thickness of about 80nm of low resistance is formed in the front face of silicon 13b in which a part of other mold semiconductor regions (the source, drain) 14 were formed.

[0032] next, this interlayer insulation film 16 as shown in drawing 11 , after forming an interlayer insulation film 16 with a CVD method on a SOI substrate -- chemical mechanical polishing (Chemical Vapor Deposition: CMP) -- it grinds by law and flattening of that front face is carried out. Subsequently, an interlayer insulation film 16 is etched by using a photoresist pattern as a mask, and it is n+. The contact hole 17 which reaches the titanium silicide layer 15 of the upper layer of the mold semiconductor region (the source, drain) 14 is formed. Then, on a SOI substrate, the sequential deposition of the tungsten (W) film and the (Aluminum aluminum) alloy film is carried out, subsequently sequential etching of the aluminium alloy film and the tungsten film is carried out by using a photoresist pattern as a mask, and a wiring layer 18 is formed.

[0033] In addition, although the silicon nitride film 7 constituted the cap insulator layer and the silicon oxide film 10 constituted the sidewall spacer 11 from the gestalt of this operation, it does not restrict to this, the insulator layer from which an etch rate differs constitutes a cap insulator layer and the sidewall spacer 11, respectively, and the selectivity in wet etching or dry etching should just be acquired. For example, the silicon oxide film may constitute a cap insulator layer, a silicon nitride film may constitute the sidewall spacer 11, and the **** silicon oxide film may constitute a cap insulator layer relatively, and the dense silicon oxide film may constitute the sidewall spacer 11 relatively.

[0034] Thus, even if it deposits silicon 13a which constitutes some other gate electrodes on the upper layer of the polycrystalline silicon film 6 which constitutes some gate electrodes with selection silicon growth according to the gestalt of this operation Since the above-mentioned silicon 13a accumulates on the interior of the slot 12 surrounded by the sidewall spacer 11 and cannot become an overhang easily Contact to the contact hole 17 and silicon 13a which arrive at n+ mold semiconductor region (the source, drain) 14 can be prevented, and they are a gate electrode and n+. The mold semiconductor region (the source, drain) 14 does not short-circuit. Furthermore, spacing of a gate electrode and a contact hole 17 can be narrowed with about 0.1 micrometers, and detailed-ization of MISFET is attained.

[0035] Moreover, n+ To the upper layer of the thin film silicon layer 3 in which a part of mold semiconductor region (the source, drain) 14 is formed, it is n+. Since the titanium silicide layer 15 embeds and it is hard coming to contact an oxide film 2 by preparing silicon 13b which constitutes a part of other mold semiconductor regions (the source, drain) 14, and forming the titanium silicide layer 15 in the front face of this silicon 13b, peeling of the titanium silicide layer 15 can be prevented.

[0036] Moreover, the front face and n+ of silicon 13a which constitute some other gate electrodes By forming the titanium silicide layer 15 in the front face of silicon 13b in which a part of other mold semiconductor regions (the source, drain) 14 are formed, they are a gate electrode and n+. The electric resistance of the mold semiconductor region (the source, drain) 14 can be reduced, and improvement in the speed of circuit actuation can be attained.

[0037] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0038] For example, although the gestalt of said operation explained the case where it applied to the manufacture approach of n channel MISFET formed in a SOI substrate, it is applicable to the manufacture approach of p channel MISFET formed in a SOI substrate, or the manufacture approach of MISFET formed in a bulk substrate.

[0039]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0040] Since the silicide layer of low resistance which prevents contact to the gate electrode of MISFET and the contact hole which arrives at the semiconductor region which constitutes the source and a drain, can narrow both spacing with about 0.1

micrometers, and does not have peeling further can be formed in the front face of the semiconductor region which constitutes the gate electrode of MISFET and the source, and a drain according to this invention, detailed izing of MISFET and improvement in the speed of the circuit actuation by reduction of electric resistance can be attained, and reliability can be raised to coincidence.

[Brief Description of the Drawings]

[Drawing 1] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 2] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 3] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 4] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 5] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 6] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 7] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 8] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 9] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Drawing 10] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the

gestalt of 1 operation of this invention is shown.

[Drawing 11] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of MISFET on the SOI substrate which is the gestalt of 1 operation of this invention is shown.

[Description of Notations]

- 1 Support Substrate
- 2 Embedding Oxide Film
- 3 Thin Film Silicon Layer
- 4 LOCOS Oxide Film
- 5 Gate Dielectric Film
- 6 Polycrystalline Silicon Film
- 7 Silicon Nitride Film
- 8 Photoresist Film
- 9 N - Mold Semiconductor Region (Source, Drain)
- 10 Silicon Oxide Film
- 11 Sidewall Spacer
- 12 Slot
- 13a Silicon
- 13b Silicon
- 14 N+ Mold Semiconductor Region (Source, Drain)
- 15 Titanium Silicide Layer
- 16 Interlayer Insulation Film
- 17 Contact Hole
- 18 Wiring Layer
- d Depth of flute

Abstract:

PROBLEM TO BE SOLVED: To provide a technology for speeding up a semiconductor integrated circuit device which has a MISFET formed on an SOI substrate and improving reliability.

SOLUTION: A groove, which is surrounded by a side wall spacer 11 and whose depth (d) is about 90-100 nm is formed on a polycrystalline silicon film 6, constituting the gate electrode of a MISFET. Silicons 13a and 13b with a thickness of about 100 nm are stacked on the surface of the exposed thin-film silicon layer 3. Thereafter, a titanium silicide layer is formed on the surfaces of the silicons 13a and 13b through self-matching.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183355

(P2000-183355A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl.⁷

H 0 1 L 29/786

29/78

21/336

識別記号

F I

H 0 1 L 29/78

テーマコード*(参考)

6 1 7 J

5 F 0 4 0

3 0 1 P

5 F 1 1 0

6 1 6 M

6 1 6 U

6 1 7 L

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号

特願平10-360224

(22)出願日

平成10年12月18日(1998.12.18)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 若原 ▲祥▼史

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 玉置 洋一

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

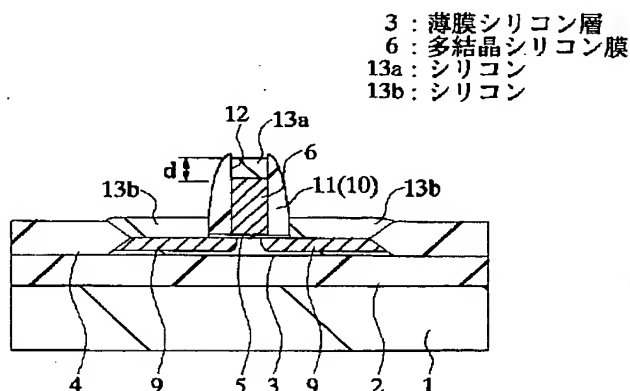
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 SOI基板に形成されるMISFETを有する半導体集積回路装置の高速化を図り、同時に信頼度を向上することのできる技術を提供する。

【解決手段】 MISFETのゲート電極を構成する多結晶シリコン膜6の上にサイドウォールスペーサ11によって囲まれた深さdが約90~100nmの溝12を形成し、次いで選択シリコン成長により、露出した薄膜シリコン層3の表面と露出した薄膜シリコン層3の表面とに約100nmの厚さのシリコン13a, 13bを堆積し、この後、シリコン13a, 13bの表面に自己整合でチタンシリサイド層を形成する。

図 8



【特許請求の範囲】

【請求項1】 支持基板上に埋め込み絶縁膜を介して薄膜シリコン層が設けられたSOI基板上にMISFETを形成する半導体集積回路装置の製造方法であって、(a). 前記薄膜シリコン層の主面上にフィールド絶縁膜を形成した後、前記薄膜シリコン層の表面にゲート絶縁膜を形成し、次いで前記SOI基板上に多結晶シリコン膜および第1の絶縁膜を順次堆積する工程と、(b). 前記第1の絶縁膜および前記多結晶シリコン膜を順次加工して、前記多結晶シリコン膜からなるゲート電極の一部と、前記ゲート電極の一部の上層に前記第1の絶縁膜からなるキャップ絶縁膜とを形成する工程と、(c). 前記SOI基板上に第2の絶縁膜を堆積した後、前記第2の絶縁膜を異方性エッチングにより加工して、前記キャップ絶縁膜と前記ゲート電極の一部との側壁に前記第2の絶縁膜からなるサイドウォールスペーサを形成し、続いてソース、ドレインを構成する半導体領域が形成される前記薄膜シリコン層の表面を露出させる工程と、(d). 前記キャップ絶縁膜を選択的に除去して、前記ゲート電極の一部を構成する多結晶シリコン膜の表面を露出させる工程と、(e). 選択シリコン成長によって、前記ゲート電極の一部を構成する多結晶シリコン膜の上層にシリコンを堆積して前記ゲート電極の他の一部を構成し、同時に前記ソース、ドレインを構成する半導体領域が形成される薄膜シリコン層の上層にシリコンを堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 単結晶シリコンからなるバルク基板上にMISFETを形成する半導体集積回路装置の製造方法であって、(a). 前記バルク基板の主面上にフィールド絶縁膜を形成した後、前記バルク基板の表面にゲート絶縁膜を形成し、次いで前記バルク基板上に多結晶シリコン膜および第1の絶縁膜を順次堆積する工程と、(b). 前記第1の絶縁膜および前記多結晶シリコン膜を順次加工して、前記多結晶シリコン膜からなるゲート電極の一部と、前記ゲート電極の一部の上層に前記第1の絶縁膜からなるキャップ絶縁膜とを形成する工程と、(c). 前記バルク基板上に第2の絶縁膜を堆積した後、前記第2の絶縁膜を異方性エッチングにより加工して、前記キャップ絶縁膜と前記ゲート電極の一部との側壁に前記第2の絶縁膜からなるサイドウォールスペーサを形成し、続いてソース、ドレインを構成する半導体領域が形成される前記バルク基板の表面を露出させる工程と、(d). 前記キャップ絶縁膜を選択的に除去して、前記ゲート電極の一部を構成する多結晶シリコン膜の表面を露出させる工程と、(e). 選択シリコン成長によって、前記ゲート電極の一部を構成する多結晶シリコン膜の上層にシリコンを堆積して前記ゲート電極の他の一部を構成し、同時に前記ソース、ドレインを構成する半導体領域が形成されるバルク基板の上層にシリコンを堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、前記シリコンの表面にシリサイド層が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1または2記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜の厚さは、前記シリコンの厚さと同じまたは前記シリコンの厚さよりも厚いことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1または2記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜と前記第2の絶縁膜とは、ウエットエッチングまたはドライエッチングにおいて選択性が得られることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1または2記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜は窒化シリコン膜であり、前記第2の絶縁膜は酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1または2記載の半導体集積回路装置の製造方法において、前記第2の絶縁膜を異方性エッチングにより加工する際、オーバーエッチング量は10%以下であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、SOI (Silicon OnInsulator) 基板上に形成される完全空乏型MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 完全空乏型MISFETは、フィールド絶縁膜を薄膜シリコン層の表面に厚く形成することによって、MISFETを完全に絶縁膜で囲んだ構造をしており、サブスレッショルド・スウィング (Subthreshold Swing) を低減でき、さらに基板浮遊効果を抑制することができる。

【0003】 しかし、上記薄膜シリコン層が薄くなるに従って、MISFETのソース、ドレインを構成する半導体領域は浅く形成される。このため、上記半導体領域の不純物濃度を低く抑えて不純物の拡散を抑制する必要があるが、これと同時に半導体領域の抵抗が高くなり、MISFETの動作速度の低下を引き起こす。

【0004】 そこで、浅いソース、ドレインを構成する半導体領域の抵抗を低くする方法として、半導体領域の表面を自己整合でシリサイド化する方法が検討された。しかし、薄膜シリコン層が薄い場合、形成されたシリサイド層がSOI基板を構成する埋め込み絶縁膜と接触して、シリサイド層が剥がれる可能性が生じた。

【0005】上記の問題を改善した完全空乏型MISFETの形成方法が、例えばアイ・イー・イー・イー・エレクトロン・デバイス・レターズ (IEEE Electron Device Letters, Vol. 18, No. 6, PP. 251~253, 1997) に記載されている。すなわち、まず、数十nmの薄膜シリコン層にフィールド絶縁膜を形成し、次いでMISFETのゲート絶縁膜、多結晶シリコン膜によって構成されるゲート電極、および酸化シリコン膜によって構成されるサイドウォールスペーサを順次形成した後、ソース、ドレインを構成する半導体領域が形成される薄膜シリコン層の上層に選択的にシリコンを数十nm成長 (選択シリコン成長) させる。この後、上記選択シリコン成長によって厚くなった薄膜シリコン層に不純物を導入してソース、ドレインを構成する半導体領域を形成するものである。

【0006】これによって、MISFETのゲート電極の下方の薄膜シリコン層は数十nmと薄いが、MISFETのソース、ドレインを構成する半導体領域が形成される薄膜シリコン層は選択シリコン成長によって厚くなるので、完全空乏化によってサブスレッショルド・スウィングを低減することができると同時に、シリサイド化または高濃度化によってソース、ドレインを構成する半導体領域の抵抗を低減することが可能となる。

【0007】

【発明が解決しようとする課題】しかしながら、本発明者は、前記完全空乏型MISFETの形成方法において、以下の問題があることを見いだした。

【0008】すなわち、選択シリコン成長では、ソース、ドレインを構成する半導体領域が形成される薄膜シリコン層の上層にシリコンが堆積されるため、MISFETのゲート電極の側壁にサイドウォールスペーサを形成する際、MISFETのソース、ドレインを構成する半導体領域が形成される薄膜シリコン層の上層の酸化シリコン膜とゲート絶縁膜と同一層の絶縁膜とを順次エッチングして、薄膜シリコン層の表面を露出させる必要がある。上記酸化シリコン膜は、サイドウォールスペーサを構成するためにゲート電極の上層に堆積される絶縁膜である。

【0009】従って、MISFETのソース、ドレインを構成する半導体領域が形成される薄膜シリコン層を露出させるためには、上記酸化シリコン膜の厚さよりもエッチング量を多くする必要がある。このため、ゲート電極を構成する多結晶シリコン膜の表面が露出し、さらに、ゲート電極を構成する多結晶シリコン膜の側面上部も露出する。

【0010】ゲート電極を構成する多結晶シリコン膜の側面上部が露出した状態で選択シリコン成長を行うと、ゲート電極の上層に堆積したシリコンがオーバーハングとなる。その後の工程で、配線層とソース、ドレインを構成する半導体領域とを接続するコンタクトホールを層

間絶縁膜に設ける際、コンタクトホールがオーバーハングのシリコンに接触する可能性がある。コンタクトホールがシリコンに接触すると、配線層によってゲート電極とソース、ドレインを構成する半導体領域とがショートして、MISFETの信頼度の低下を生ずる。このため、ゲート電極とコンタクトホールとの間隔が0.1 μm 程度の微細なMISFETを形成することができない。

【0011】本発明の目的は、SOI基板上に形成されるMISFETを有する半導体集積回路装置の高速化を図り、同時に信頼度を向上することのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】すなわち、本発明の半導体集積回路装置の製造方法は、支持基板上に埋め込み絶縁膜を介して薄膜シリコン層が設けられたSOI基板上にMISFETを形成する際、薄膜シリコン層の主面上にフィールド絶縁膜を形成した後、薄膜シリコン層の表面にゲート絶縁膜を形成し、次いで前記SOI基板上に多結晶シリコン膜および窒化シリコン膜を順次堆積する工程と、上記窒化シリコン膜および上記多結晶シリコン膜を順次加工して、多結晶シリコン膜からなるゲート電極の一部と、このゲート電極の一部の上層に窒化シリコン膜からなるキャップ絶縁膜とを形成する工程と、SOI基板上に酸化シリコン膜を堆積した後、この酸化シリコン膜を異方性エッチングにより加工して、キャップ絶縁膜とゲート電極の一部との側壁に酸化シリコン膜からなるサイドウォールスペーサを形成し、続いてソース、ドレインを構成する半導体領域の一部が形成される薄膜シリコン層の表面を露出させる工程と、キャップ絶縁膜を選択的に除去して、ゲート電極の一部を構成する多結晶シリコン膜の表面を露出させ、この多結晶シリコン膜の上にサイドウォールスペーサを構成する酸化シリコン膜によって囲まれた溝を形成する工程と、選択シリコン成長によって、ゲート電極の一部を構成する多結晶シリコン膜の上層の溝の内部にシリコンを堆積してゲート電極の他の一部を構成し、同時にソース、ドレインを構成する半導体領域の一部が形成される薄膜シリコン層の上層にソース、ドレインを構成する半導体領域の他の一部が形成されるシリコンを堆積する工程と、シリコンの表面にシリサイド層を形成する工程とを有するものである。

【0015】上記した手段によれば、ゲート電極の一部を構成する多結晶シリコン膜の上層に、ゲート電極の他の一部を構成するシリコンを選択シリコン成長によって堆積しても、上記シリコンがサイドウォールスペーサに

よって囲まれた溝の内部に堆積されてオーバーハングとなりにくいので、ソース、ドレインを構成する半導体領域に達するコンタクトホールとシリコンとの接触を防ぐことができゲート電極とソース、ドレインを構成する半導体領域とがショートしない。さらに、ゲート電極とコンタクトホールとの間隔を $0.1\mu\text{m}$ 程度と狭くできてMISFETの微細化が可能となる。

【0016】また、ソース、ドレインを構成する半導体領域の一部が形成される薄膜シリコン層の上層に、ソース、ドレインを構成する半導体領域の他の一部を構成するシリコンを形成し、さらにシリコンの表面にシリサイド層を形成することによって、シリサイド層が埋め込み絶縁膜と接触しにくくなるので、シリサイド層の剥がれを防ぐことができる。

【0017】また、ゲート電極の他の一部を構成するシリコンの表面およびソース、ドレインを構成する半導体領域の他の一部が形成されるシリコンの表面にそれぞれシリサイド層を形成することにより、ゲート電極およびソース、ドレインを構成する半導体領域の電気抵抗が低減できて、回路動作の高速化を図ることができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0019】本発明の一実施の形態であるSOI基板上のnチャネルMISFETの製造方法を図1～図11を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】まず、図1に示すように、支持基板1、埋め込み酸化膜2およびp型の薄膜シリコン層3によって構成されたSOI基板の表面に周知の方法で素子分離用のLOCOS (Local Oxidation of Silicon) 酸化膜4を形成する。なお、埋め込み酸化膜2の厚さは、例えば約80nm、薄膜シリコン層3の厚さは、例えば約50nmである。

【0021】次いで、図示はしないが、MISFETのしきい値電圧調整用の不純物、例えばボロン(B)をイオン打ち込み法によって薄膜シリコン層3に注入する。ボロンイオンは、例えば10KeVの加速エネルギーで $2\times 10^{12}\text{cm}^{-2}$ 程度打ち込まれる。

【0022】次に、図2に示すように、薄膜シリコン層3の表面に酸化シリコン膜によって構成されるゲート絶縁膜5を、例えば約8nmの厚さで形成した後、SOI基板上にリン(P)を $1\times 10^{20}\text{cm}^{-3}$ 程度添加した多結晶シリコン膜6および窒化シリコン膜7を化学的気相成長 (Chemical Vapor Deposition : CVD) 法によって順次堆積する。なお、多結晶シリコン膜6の厚さは、例えば約200nm、窒化シリコン膜7の厚さは、例えば約100nmであるが、窒化シリコン膜7の厚さは、後の工程で選択シリコン成長によって堆積されるシリコ

ンの厚さと同じかまたはそれを超える厚さに設定される。

【0023】次に、図3に示すように、フォトリソレジスト膜8をマスクにして窒化シリコン膜7および多結晶シリコン膜6を順次エッチングして、窒化シリコン膜7によって構成されるキャップ絶縁膜および多結晶シリコン膜6によって構成されるゲート電極の一部を形成する。

【0024】次に、図4に示すように、上記窒化シリコン膜7によって構成されるキャップ絶縁膜をマスクにして薄膜シリコン層3にn型不純物、例えばリンイオンをイオン打ち込み法によって注入し、ソース、ドレインの一部を構成する低濃度のn型半導体領域 (ソース、ドレイン) 9を形成する。リンイオンは、例えば20KeVの加速エネルギーで $4\times 10^{13}\text{cm}^{-2}$ 程度打ち込まれる。

【0025】次いで、図5に示すように、例えば約200nmの厚さの酸化シリコン膜10をSOI基板上にCVD法によって堆積する。

【0026】次に、図6に示すように、酸化シリコン膜10およびゲート絶縁膜5と同一層の絶縁膜をRIE (Reactive Ion Etching) 法を用いた異方性でエッチングにより加工して、窒化シリコン膜7および多結晶シリコン膜6の側壁に酸化シリコン膜10からなるサイドウォールスペーサ11を形成し、同時にn型半導体領域 (ソース、ドレイン) 9が形成された薄膜シリコン層3の表面を露出させる。

【0027】この際、窒化シリコン膜7と酸化シリコン膜10とのエッチング速度との違いから窒化シリコン膜7はほとんど削れないが、酸化シリコン膜10のオーバーエッチング量が多いと、窒化シリコン膜7の側面上部が露出してしまい、後の工程で、多結晶シリコン膜6の上層に堆積されるシリコンがオーバーハングとなる。これを防ぐために、酸化シリコン膜10のオーバーエッチング量は10%以下に抑えられる。

【0028】次に、図7に示すように、例えば熱リン酸を用いたウエットエッチングによって窒化シリコン膜7を選択的に除去し、多結晶シリコン膜6の上に酸化シリコン膜10によって構成されるサイドウォールスペーサ11によって囲まれた溝12を形成する。

【0029】次いで、図8に示すように、選択シリコン成長により、露出した多結晶シリコン膜6の表面に、ゲート電極の他の一部を構成するシリコン13aを堆積し、同時に露出した薄膜シリコン層3の表面にシリコン13bを堆積する。なお、シリコン13a、13bの厚さは、例えば約100nmである。前述したように酸化シリコン膜10のオーバーエッチング量が10%以下に抑えられることから、上記溝12の深さdは約90～100nmとなり、多結晶シリコン膜6の表面に約100nmの厚さのシリコン13aを堆積しても、シリコン13aはオーバーハングとはならない。

【0030】次に、図9に示すように、シリコン13bおよび薄膜シリコン層3にn型不純物、例えば砒素(A s)イオンをイオン打ち込み法によって注入し、ソース、ドレインの他の一部を構成する高濃度のn⁺型半導体領域(ソース、ドレイン)14を形成する。砒素イオンは、例えば10KeVの加速エネルギーで $2 \times 10^{15} \text{ cm}^{-2}$ 程度打ち込まれる。これによって、薄膜シリコン層3にn⁺型半導体領域(ソース、ドレイン)14の一部が形成され、シリコン13bにn⁺型半導体領域(ソース、ドレイン)14の他の一部が形成される。この後、SOI基板上に900℃の温度で約1分間の熱処理を施して、上記n型不純物を活性化化する。

【0031】次に、図10に示すように、SOI基板上にチタン(Ti)膜を約40nm堆積した後、SOI基板上に850℃の温度で約1分間の熱処理を施し、次いで未反応のチタン膜を除去することによって、MISFETのゲート電極の他の一部を構成するシリコン13aの表面、およびMISFETのn⁺型半導体領域(ソース、ドレイン)14の他の一部が形成されるシリコン13bの表面に、約80nmの厚さの低抵抗のチタンシリサイド(TiSi₂)層15を形成する。

【0032】次に、図11に示すように、SOI基板上にCVD法によって層間絶縁膜16を形成した後、この層間絶縁膜16を化学的機械研磨(Chemical Vapor Deposition : CMP)法で研磨してその表面を平坦化する。次いで、フォトリソパターンをマスクとして層間絶縁膜16をエッチングし、n⁺型半導体領域(ソース、ドレイン)14の上層のチタンシリサイド層15に達するコンタクトホール17を形成する。この後、SOI基板上にタングステン(W)膜およびアルミニウム(A l)合金膜を順次堆積し、次いでフォトリソパターンをマスクとしてアルミニウム合金膜およびタングステン膜を順次エッチングして配線層18を形成する。

【0033】なお、本実施の形態では、キャップ絶縁膜を窒化シリコン膜7によって構成し、サイドウォールスペーサ11を酸化シリコン膜10によって構成したが、これに限るものではなく、エッチング速度の異なる絶縁膜によってキャップ絶縁膜とサイドウォールスペーサ11とをそれぞれ構成し、ウェットエッチングまたはドライエッチングにおける選択性が得られればよい。例えばキャップ絶縁膜を酸化シリコン膜によって構成し、サイドウォールスペーサ11を窒化シリコン膜によって構成してもよく、また、キャップ絶縁膜を相対的に粗な酸化シリコン膜によって構成し、サイドウォールスペーサ11を相対的に密な酸化シリコン膜によって構成してもよい。

【0034】このように、本実施の形態によれば、ゲート電極の一部を構成する多結晶シリコン膜6の上層に、ゲート電極の他の一部を構成するシリコン13aを選択シリコン成長によって堆積しても、上記シリコン13a

がサイドウォールスペーサ11に囲まれた溝12の内部に堆積されてオーバーハングとなりにくいので、n⁺型半導体領域(ソース、ドレイン)14に達するコンタクトホール17とシリコン13aとの接触を防ぐことができ、ゲート電極とn⁺型半導体領域(ソース、ドレイン)14とがショートしない。さらに、ゲート電極とコンタクトホール17との間隔を0.1μm程度と狭くできてMISFETの微細化が可能となる。

【0035】また、n⁺型半導体領域(ソース、ドレイン)14の一部が形成される薄膜シリコン層3の上層に、n⁺型半導体領域(ソース、ドレイン)14の他の一部を構成するシリコン13bが設けられ、このシリコン13bの表面にチタンシリサイド層15を形成することにより、チタンシリサイド層15が埋め込み酸化膜2と接触しにくくなるので、チタンシリサイド層15の剥がれを防ぐことができる。

【0036】また、ゲート電極の他の一部を構成するシリコン13aの表面およびn⁺型半導体領域(ソース、ドレイン)14の他の一部が形成されるシリコン13bの表面にチタンシリサイド層15を形成することにより、ゲート電極およびn⁺型半導体領域(ソース、ドレイン)14の電気抵抗を低減できて、回路動作の高速化を図ることができる。

【0037】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0038】たとえば、前記実施の形態では、SOI基板上に形成されるnチャネルMISFETの製造方法に適用した場合について説明したが、SOI基板上に形成されるpチャネルMISFETの製造方法、またはバルク基板上に形成されるMISFETの製造方法に適用可能である。

【0039】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0040】本発明によれば、MISFETのゲート電極と、ソース、ドレインを構成する半導体領域に達するコンタクトホールとの接触を防いで両者の間隔を0.1μm程度と狭くでき、さらに剥がれの無い低抵抗のシリサイド層をMISFETのゲート電極およびソース、ドレインを構成する半導体領域の表面に形成できるので、MISFETの微細化および電気抵抗の低減による回路動作の高速化を図り、同時に信頼度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるSOI基板上のMISFETの製造方法を示す半導体基板の要部断面図で

ある。

【図2】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるSOI基板上的

MISFETの製造方法を示す半導体基板の要部断面図である。

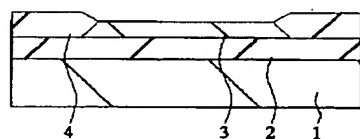
【図11】本発明の一実施の形態であるSOI基板上的MISFETの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 支持基板
- 2 埋め込み酸化膜
- 3 薄膜シリコン層
- 4 LOCOS酸化膜
- 5 ゲート絶縁膜
- 6 多結晶シリコン膜
- 7 窒化シリコン膜
- 8 フォトレジスト膜
- 9 n⁻型半導体領域（ソース、ドレイン）
- 10 酸化シリコン膜
- 11 サイドウォールスペーサ
- 12 溝
- 13a シリコン
- 13b シリコン
- 14 n⁺型半導体領域（ソース、ドレイン）
- 15 チタンシリサイド層
- 16 層間絶縁膜
- 17 コンタクトホール
- 18 配線層
- d 溝の深さ

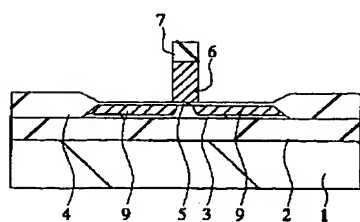
【図1】

図 1



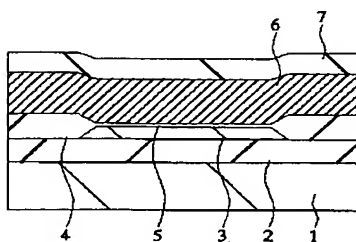
【図4】

図 4



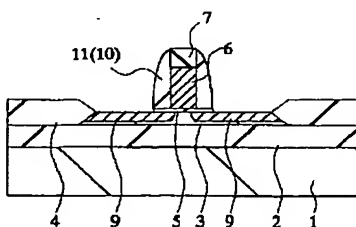
【図2】

図 2



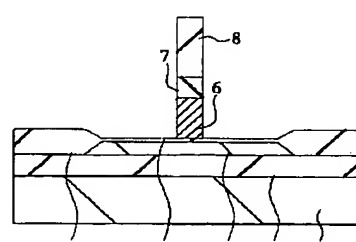
【図6】

図 6



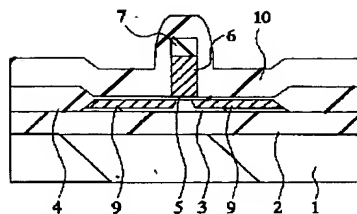
【図3】

図 3



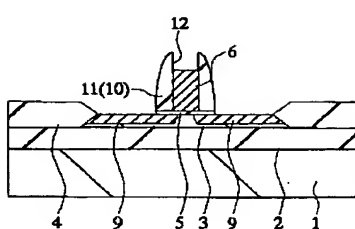
【図5】

図 5



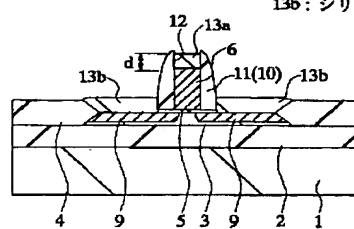
【図7】

図 7



【図8】

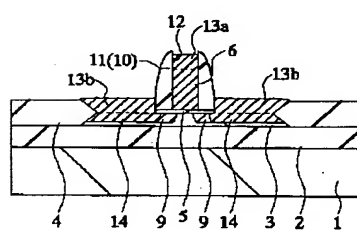
図 8



3: 薄膜シリコン層
6: 多結晶シリコン膜
13a: シリコン
13b: シリコン

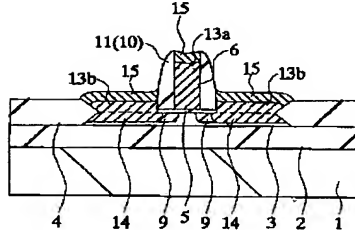
【図9】

図 9



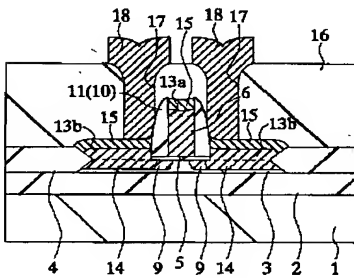
【図10】

図 10



【図11】

図 11



フロントページの続き

Fターム(参考) 5F040 DA06 EB12 EC07 EC28 EF01
EK01 FA05 FA07 FA11 FC11
FC14
5F110 AA01 AA08 AA18 CC02 DD05
DD13 EE09 EE32 EE45 FF02
GG02 GG12 GG22 GG32 GG34
GG52 HJ01 HJ04 HJ13 HJ23
HK04 HK05 HK09 HL03 HL04
HL06 NN02 NN35 NN40 NN62
NN66 QQ01 QQ11 QQ19